

# Curso de Computação Híbrida Reconfigurável

Vitor Gomes<sup>1,2</sup> Andrea Charão<sup>1</sup> Haroldo de Campos Velho<sup>2</sup>  
{vconrado, andrea}@inf.ufsm.br, haroldo@lac.inpe.br

<sup>1</sup>LSC - Laboratório de Sistemas de Computação  
UFSM - Universidade Federal de Santa Maria

<sup>2</sup>LAC - Laboratório Associado de Computação e Matemática Aplicada  
INPE - Instituto Nacional de Pesquisas Espaciais



# Curso

## Curso

- Introdução a Computação Híbrida Reconfigurável
- Convênio INPE/UFSM



Figura: Cray XD1

## Curso de Computação Híbrida Reconfigurável

Vitor Gomes, Andrea Charão, Haroldo Velho  
Última atualização: 20/09/2009

- [Curso de Computação Híbrida Reconfigurável](#)
- [Cronograma](#)
  - [Segunda-feira \(21/09/09\)](#)
  - [Terça-feira \(21/09/09\)](#)
  - [Quarta-feira \(21/09/09\)](#)
  - [Quinta-feira \(21/09/09\)](#)
  - [Sexta-feira \(21/09/09\)](#)
- [Material](#)
- [Inscritos](#)
- [Equipe](#)
- [Contato](#)

Página: <http://vconrado.com/chr>

# Página

## Cronograma

- 1 Computação Híbrida Reconfigurável
- 2 FPGA
- 3 VHDL I
- 4 VHDL II
- 5 XD1

# Página

## Apostilas

- 1 Computação Híbrida Reconfigurável
- 2 FPGA
- 3 VHDL
- 4 Cray XD1

The screenshot shows the Symphony EDA Sonata 3.1.1 interface. The main window displays a VHDL file named 'multiplicador\_teste.vhdl'. The code defines a component 'multiplicador' and a testbench 'multiplicador\_teste'. The testbench includes a clock signal 'clk', an enable signal 'enable', and a reset signal 'reset\_n'. It also defines signals for the component's inputs and outputs: 's\_entradab', 's\_entradal', 's\_saida', 's\_dome', 's\_reset\_n', 's\_enable', and 's\_clk'.

```

1  library ieee;
2  use ieee.std_logic_1164.all;
3  use ieee.std_logic_unsigned.all;
4
5  entity multiplicador_teste is
6  end entity multiplicador_teste;
7
8  architecture simples of multiplicador_teste is
9  component multiplicador is
10
11     port(
12         entradab : in std_logic_vector(3 downto 0);
13         entradal : in std_logic_vector(3 downto 0);
14         clk      : in std_logic;
15         enable   : in std_logic;
16         reset_n  : in std_logic;
17         saida    : out std_logic_vector(7 downto 0);
18         dome    : out std_logic);
19 end component multiplicador;
20
21 signal s_entradab : std_logic_vector(3 downto 0);
22 signal s_entradal : std_logic_vector(3 downto 0);
23 signal s_saida   : std_logic_vector(7 downto 0);
24 signal s_dome    : std_logic;
25 signal s_reset_n : std_logic;
26 signal s_enable  : std_logic;
27 signal s_clk     : std_logic;
28
29 begin

```

The console window at the bottom shows the following output:

```

Note: Transcript file for current session is '/tmp/sonata-0000.log'
Note: Current directory is '/home/vconrado/Faculdade/LSC/mini-curso/material/vhdl/fontes/Simili'
Note: Using preferences file '/home/vconrado/.symphonyeda/prefs.tcl'
Note: Checking out license for Sonata.
Note: License checkout for 'sonata' succeeded
Warning: /home/vconrado/Faculdade/LSC/mini-curso/material/vhdl/fontes/Simili/testes.sva ...
Library 'ieee' => $SYMPHONYEDA/lib/ieee/ieee.cym (readonly)
Library 'testes' => testes.sya

```

Symphony EDA VHDL Simili

Página: <http://www.symphonyeda.com>

# Curso de Computação Híbrida Reconfigurável

Vitor Gomes<sup>1,2</sup> Andrea Charão<sup>1</sup> Haroldo de Campos Velho<sup>2</sup>  
{vconrado, andrea}@inf.ufsm.br, haroldo@lac.inpe.br

<sup>1</sup>LSC - Laboratório de Sistemas de Computação  
UFSM - Universidade Federal de Santa Maria

<sup>2</sup>LAC - Laboratório Associado de Computação e Matemática Aplicada  
INPE - Instituto Nacional de Pesquisas Espaciais

